

# 2025 International Solid-State Circuits Conference

## (ISSCC) Review

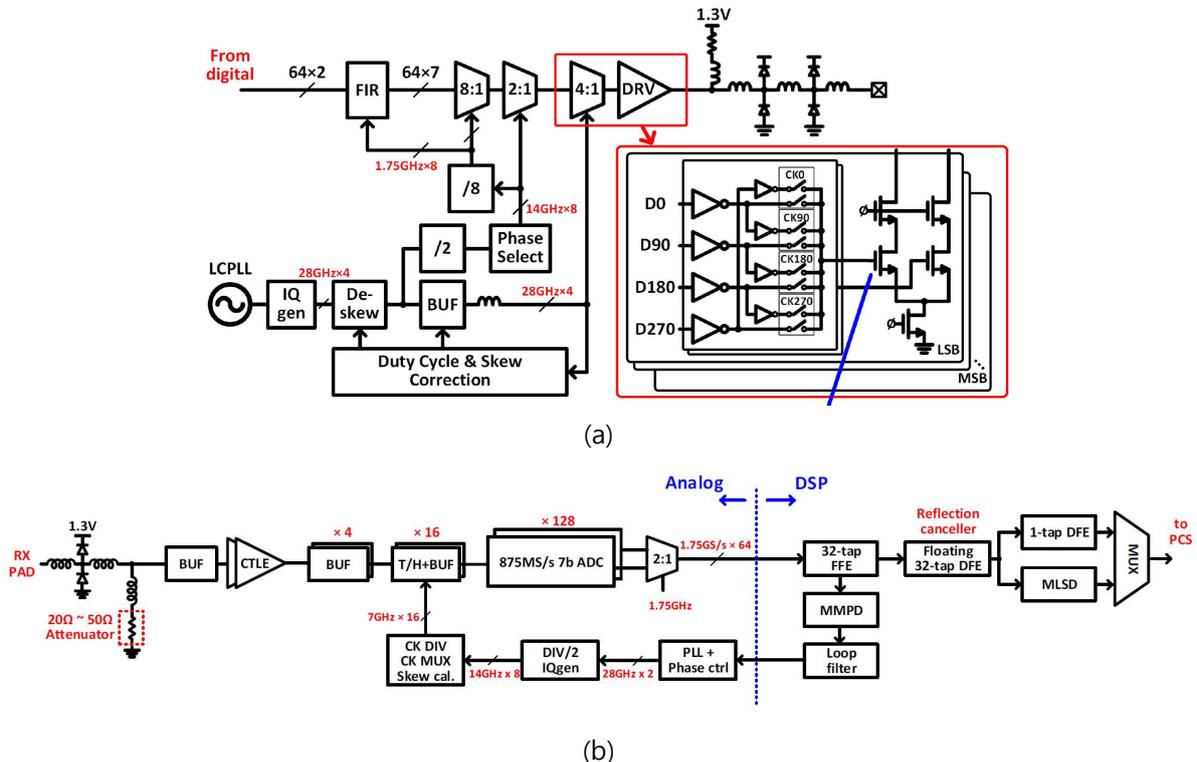
연세대학교 시스템반도체공학과 박관서 교수

### Topic : Wireline (1)

#### Session 7 : Ultra-High-Speed Wireline

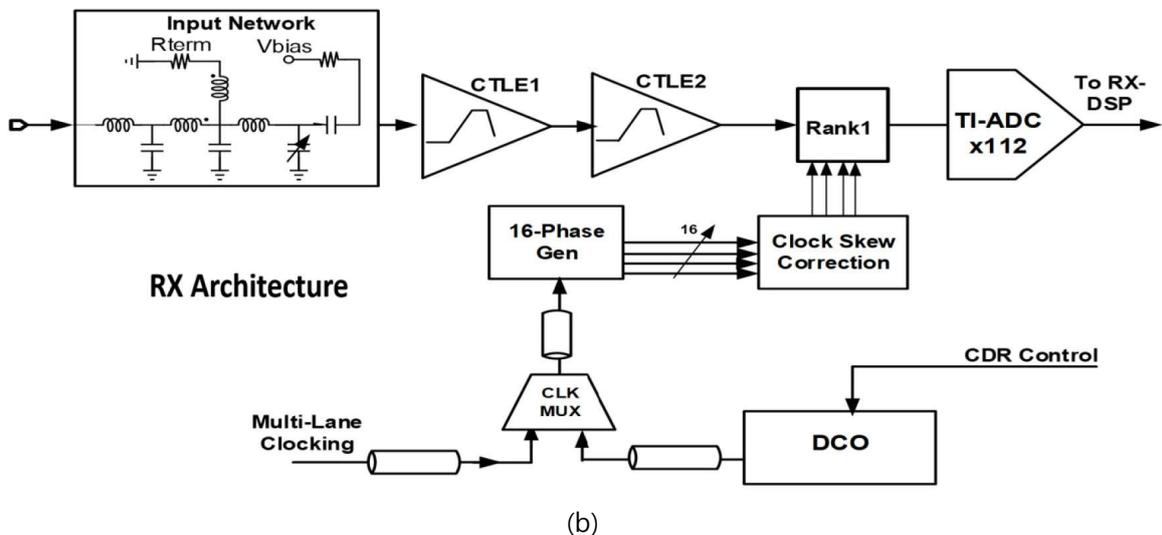
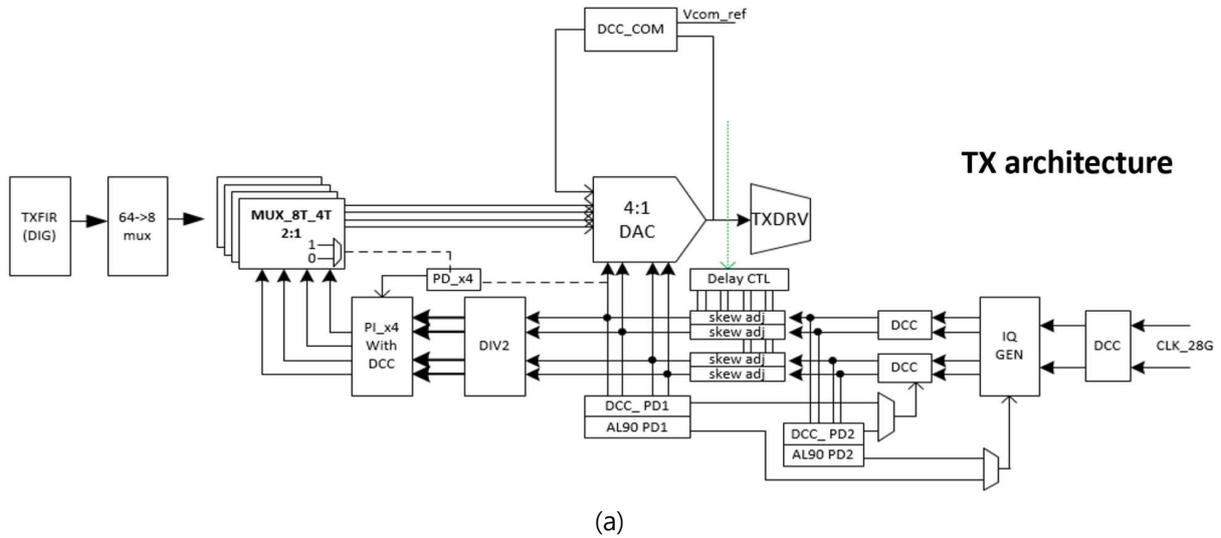
이번 ISSCC2024의 Session 7은 Ultra-High Speed Wireline이라는 주제로 총 10편의 논문이 발표되었다. 이 세션에서는 초고속 유선통신을 위한 송수신기 개발에서 데이터 속도와 에너지 효율을 높이는 것에 중점을 두었고 고성능 클럭 복원 및 생성에 대한 논문들도 발표되었다.

**#7-1 Mediatek**, 본 논문은 DSP기반의 초고속 송수신기에 대한 발표이고 4nm FinFET에서 구현하였다. 212.5Gb/s의 동작속도를 가지고 50dB 이상의 채널 손실을 보상하며 2.5E-6 BER을 달성하는 완성도 높은 PAM-4 송수신기를 개발하였다. 그림 1(a)과 같이 송신기는 CML 기반의 7b DAC을 활용한 driver를 구현하였고 측정 결과 98.5의 RLM과 35.5dB의 SNDR을 달성하였다. 수신기는 그림 1(b)와 같이 T-coil, source follower buffer, CTLE로 AFE를 구성하고 28GS/S의 T/H buffer와 7b 875MS/s SAR ADC로 아날로그 회로를 구성하고 DSP에서는 32-tap FFE, floating 32-tap DFE, MLSD, MMPD 등으로 구성하였다. 송수신기 시스템에 클럭 공급을 위한 jitter-cleanup PLL이 있고 각 TX/RX에 PLL을 두어 클럭킹을 구현하였다. 송수신기 테스트 결과, 40dB, 50.5dB 채널 손실에서 1E-10, 2.5E-6 BER을 달성하고 레인당 5.3pJ/b의 에너지 효율을 달성하였다.



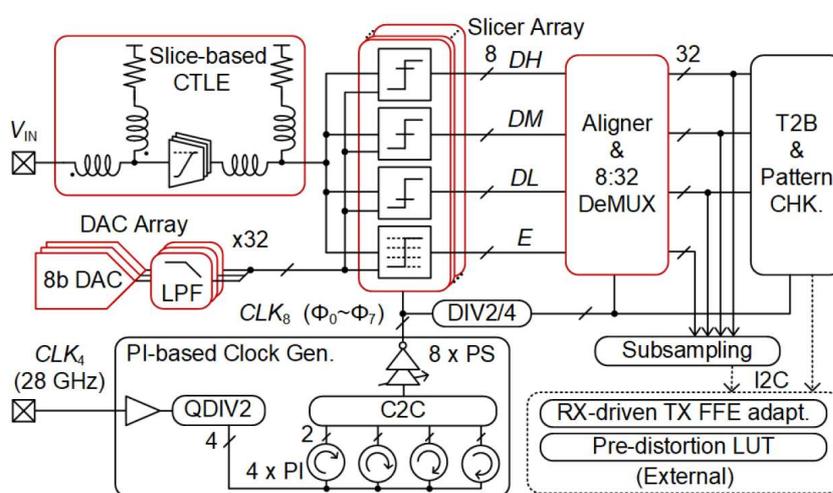
[그림 1] 송수신기의 전체적인 구조를 보여주는 블록 다이어그램 (a) 송신기 (b) 수신기

**#7-2 Marvell**, 본 논문은 5nm FinFET에서 개발한 212.5Gb/s의 동작속도를 가지고 46dB loss까지 보상이 가능한 Long reach용 송수신기에 대한 발표이다. 200Gb/s 이상의 고성능 송수신기를 저전력으로 구현하는 것을 목표로 한 논문이다. 송신기는 그림 2(a)와 같이 구현되었고 10-tap FIR filter 기반의 digital equalization과 8b DAC 기반의 driver를 포함한다. LC PLL로부터 28GHz 클록이 생성되고 resonant CML stage를 이용하여 클록을 분배하여 clock jitter를 개선한다. Duty cycle, quadrature error, skew 등의 클록킹 회로 성능을 개선하는 기법들이 추가되었다. 저전력 구현을 통해 0.86pJ/b의 에너지 효율을 달성하였다. 수신기는 그림 2(b)와 같이 구현되었고 파워 및 잡음에 효율적인 AFE 구현과 저잡음 클록킹 기술들을 포함한다. AFE는 T-coil, 2-stage CTLE, 112-way TI-ADC로 구성된다. Scalable SAR supply/resolution/DR/sub-ADC count를 이용하여 저전력의 SAR ADC를 구현하였으며 offset/gain/timing skew 등의 비이상적 동작에 대한 디지털 보정회로를 탑재하였다. DSP에서는 29-tap FFE와 1-tap speculative DFE를 포함하며 MLSD를 적용하였다. 측정 결과, 송신기는 212.5Gb/s에서 36.1 dB 이상의 SNDR과 0.97의 RLM, 73fs RJ의 clock jitter를 달성하였다. 수신기는 33dB에서  $3E-10$ , 46dB에서  $6E-9$ 의 BER을 달성하였다. 최종적으로 송수신기 합쳐서 2.2pJ/b의 에너지 효율을 달성하여 굉장히 좋은 성능을 얻었다는 점이 인상 깊은 논문이다.

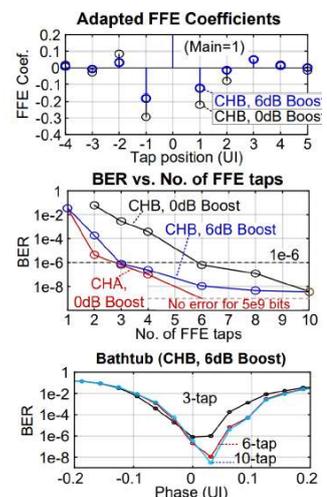


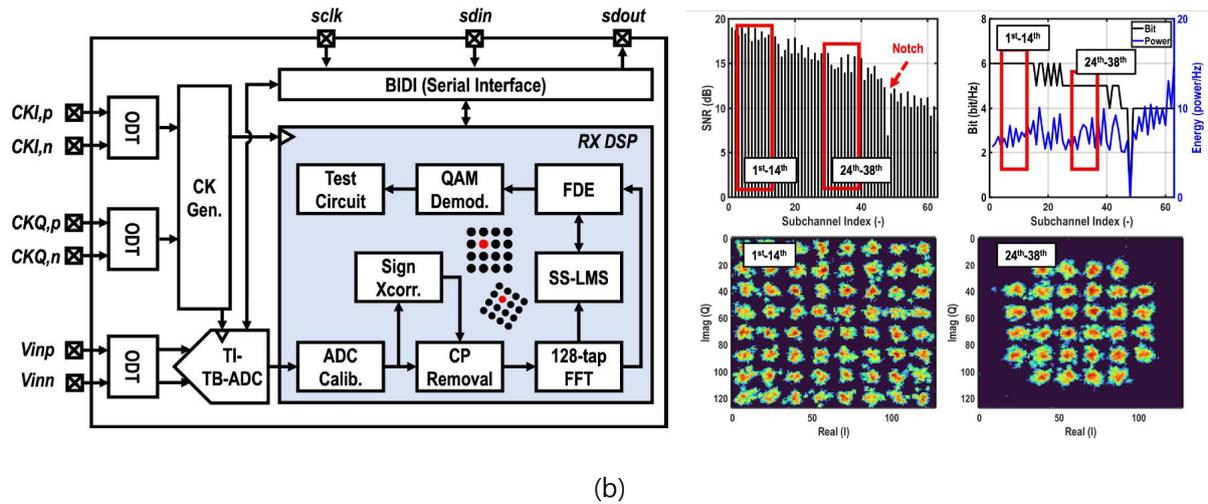
[그림 2] 송수신기의 전체적인 구조를 보여주는 블록 다이어그램 (a) 송신기 (b) 수신기

#7-3 Peking University, 7-5 DGIST, 7-6 National Tsing Hua University, 100Gb/s 이상급의 수신기 연구를 세 개의 대학교 연구그룹에서 발표되었다. 우선, 그림 3(a)와 같이 224Gb/s PAM-4 수신기를 XSR 어플리케이션을 타겟하여 12nm 공정에서 개발하였다. Slice-based CTLE 를 구현하였고 group delay 를 최적화하여 59GHz 의 3dB bandwidth 를 달성하였다. 8-way interleaving 을 통하여 샘플링을 하였고 phase 당 3 개의 data level 과 1 개의 error level 을 활용하였다. 피기반의 clock generator 를 활용하여 파워와 면적 효율적으로 설계하였고 INL 이슈를 해결하기 위해 pre-distortion 기술을 적용하였다. 그 결과, 224Gb/s 의 동작속도와 13.6dB 채널 손실에서 3-tap TX FFE 만 활용하여 8.1E-7 의 BER 을 달성하였고 1.11pJ/b 의 좋은 에너지 효율을 달성하였다. 다음으로, 그림 3(b)와 같이 112Gb/s multitone wireline receiver 를 5nm 공정에서 구현하였다. 기존의 SAR ADC 기반의 초고속 PAM-4 수신기를 대신하여 time-based ADC 를 활용하고 discrete multitone modulation 기법을 적용한 초고속 수신기를 개발하였다. 제안하는 방식은 PAM-4 기반의 송수신기에서 발생할 수 있는 frequency response 의 ripple, notch 등의 문제점을 개선할 수 있다. 아날로그 회로는 64-way time interleaved TB ADC 와 면적 및 파워를 최소화하기 위한 shared injection-locked ROSC 를 포함한다. TB ADC 로 샘플링된 데이터는 DSP 에서 처리되며 CP location 을 찾기 위한 sign-sign cross-correlation 기반의 감지 기능이 있고 multi-path delay feedback 구조를 가지는 128-tap FFE 와 frequency domain equalizer 도 탑재하였다. 그 결과 52GS/S 속도에서 5.4bit 의 ENOB 를 달성하고 DNL 최대 0.31LSB, INL 최대 1.03LSB 를 얻었다. 또한, 112.5Gb/s 의 동작속도, 18dB 의 insertion loss 에서 4E-4 의 BER 과 3.14pJ/b 의 에너지 효율을 달성하였다. 마지막으로, 그림 3(c)와 같이 3-tap FFE 와 1-tap speculative DFE 를 탑재한 106.25Gb/s 의 PAM-4 수신기를 구현하였다. FFE 를 통해 1+0.5D pulse shaping 을 하여서 8 개의 slicing level 을 이용하여 speculative PAM-4 data 를 복원하였다. 또한, fast/slow path 와 pre-shift circuit 을 이용하여 성능을 높였고 lock ahead DFE 와 1+0.5D baud-rate PD 를 활용하여서 완성도를 높였다. 그 결과 106.25Gb/s PAM4 데이터를 복원하는데 1E-6 의 BER 을 달성하였고 2.06pJ/b 의 에너지 효율을 얻었다.

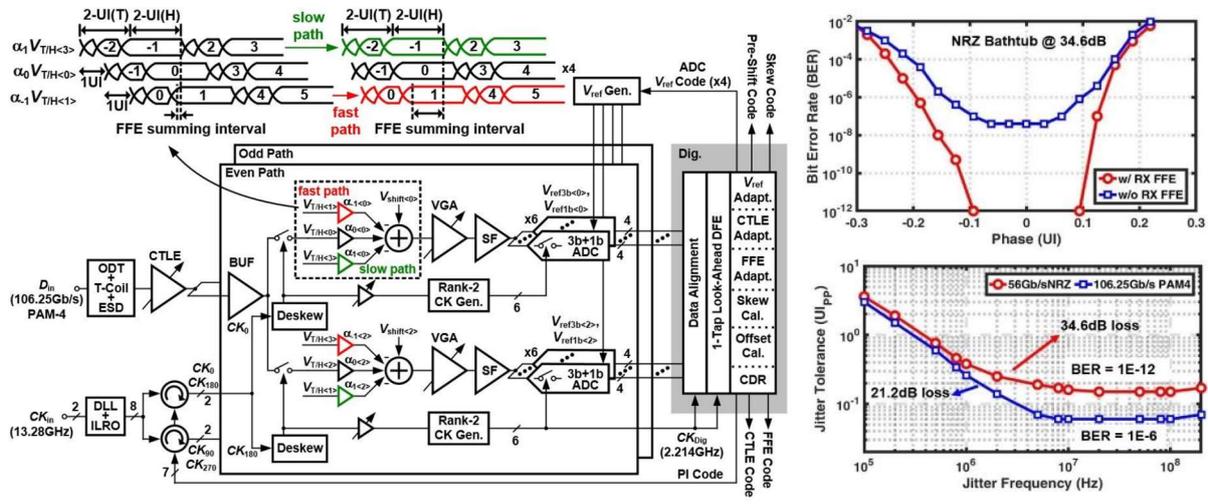


(a)





(b)



(c)

[그림 3] (a) 224Gb/s PAM-4 수신기 블럭도 및 측정결과, (b) 112Gb/s DMT 수신기 블럭도 및 측정 결과, (c) 106.25Gb/s PAM-4 수신기 블럭도 및 측정 결과

저자정보



박관서 교수

- 소 속 : 연세대학교 시스템반도체공학과
- 연구분야 : High Speed I/O
- 이 메 일 : kwanso@yonsei.ac.kr
- 홈페이지 : aics.yonsei.ac.kr